

#3/Priority  
Doing  
3/13/01

Docket No. 1081.1102

JC960 U.S. PTO  
09/754323  
01/05/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: )  
Masatoshi AKAGAWA )  
Serial No.: Not Yet Assigned )  
Filed: December 29, 2000 )

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-004296  
Filed: January 13, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date as evidenced by the certified papers attached hereto, in accordance with the requirements  
of 35 U.S.C. §119.

Respectfully submitted,  
STAAS & HALSEY LLP

By: \_\_\_\_\_  
James D. Halsey, Jr.  
Registration No. 22,729

700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500  
Date: 12/19

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#3 Utility Priority  
3/13/01

JC960 U.S. PTO  
09/754323  
01/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月13日

出願番号

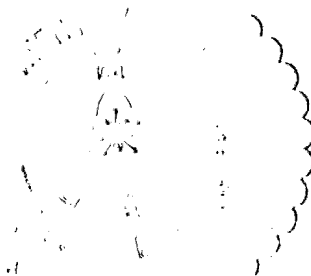
Application Number:

特願2000-004296

出願人

Applicant(s):

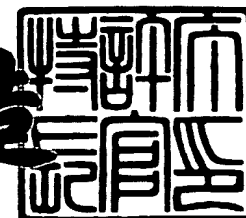
新光電気工業株式会社



2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3098674

【書類名】 特許願

【整理番号】 11-082

【提出日】 平成12年 1月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60  
H01L 25/065

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 赤川 雅俊

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100091672

【住所又は居所】 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号  
山西ビル 4 階

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816048

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 配線パターンが形成された導体層が絶縁層を介して多層に形成され、前記配線パターン間が前記絶縁層を貫通するビアホールを介して電氣的に接続されている多層配線基板と、

該多層配線基板の各絶縁層内に埋設されて実装されている半導体素子とを備え

、  
各半導体素子が、当該絶縁層によって覆われた配線パターンに電氣的に接続されていると共に、前記多層配線基板の面方向と直交する方向に積み重なるように配置されていることを特徴とする半導体装置。

【請求項 2】 前記各絶縁層内に、それぞれ 1 個の半導体素子が埋設されて実装されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記各絶縁層内に、それぞれ 2 個以上の半導体素子が埋設されて実装されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記半導体素子とこれに対応する配線パターンとが、フリップチップ実装によって電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記半導体素子とこれに対応する配線パターンとが、異方性導電膜を介して電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 絶縁性のベース基板の一方の面に配線パターンを形成する第 1 の工程と、

前記配線パターンに所要の個数の半導体素子を実装する第 2 の工程と、

前記半導体素子を覆うようにして前記ベース基板及び前記配線パターン上に絶縁層を形成する第 3 の工程と、

前記絶縁層に前記ベース基板上の前記配線パターンに達するようにビアホールを形成する第 4 の工程と、

前記絶縁層上に前記ビアホールの内壁を含めて配線パターンが形成された導体

層を形成する第 5 の工程と、

前記第 2 ～第 5 の工程と同様の工程を必要な配線パターンの層数となるまで繰り返し、最終的に最上層の絶縁層を形成する第 6 の工程と、

前記ベース基板の他方の面に、前記ベース基板を貫通して前記ベース基板上の配線パターンと電氣的に接続する外部接続端子を形成する第 7 の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 7 の工程が、各絶縁層内にそれぞれ 1 個の半導体素子が含まれるように分割する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 7 の工程が、各絶縁層内にそれぞれ 2 個以上の半導体素子が含まれるように分割する工程を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 9】 前記第 4 の工程において、レーザ加工により前記ビアホールを形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 10】 前記第 3 の工程において、前記絶縁層の材料として感光性樹脂を用い、前記第 4 の工程において、フォトリソグラフィにより前記ビアホールを形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 11】 前記第 2 の工程において、フリップチップ実装により半導体素子とこれに対応する配線パターンとを電氣的に接続することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 12】 前記第 2 の工程において、異方性導電膜を用いて半導体素子とこれに対応する配線パターンとを電氣的に接続することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、単一のパッケージに複数の半導体素子（チップ）を実装する半導体装置においてその高集積化及び高機能化を効果的に図るのに有用な技術に関する。

## 【 0 0 0 2 】

## 【従来の技術】

図 1 には上述したタイプの半導体装置の例が示される。

図示の例は、1 枚の基板に半導体チップを複数個搭載した半導体装置を示しており、(a) は基板 1 の両面にそれぞれ半導体チップ 2 を搭載した例、(b) は基板 1 の片面に半導体チップ 2, 2 a を積み重ねて搭載した例、(c) は基板 1 の平面内に半導体チップ 2 を複数個搭載した例、(d) は基板 1 の両面にそれぞれ半導体チップ 2 を搭載すると共に基板 1 の平面内に半導体チップ 2 を複数個搭載した例をそれぞれ模式的に示している。

## 【 0 0 0 3 】

基板 1 の表面には配線パターンが適宜形成されており、この配線パターンに、半導体チップ 2, 2 a の電極端子 (図示せず) がワイヤボンディングによって電氣的に接続されている。もちろん、各半導体チップと配線パターンとの電氣的接続はワイヤボンディング接続に限らず、フリップチップ接続や T A B 接続等も利用できる。

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

上述したように従来の半導体装置では、基板 1 の搭載面内に半導体チップ 2, 2 a を搭載しているため、基板 1 が規定の大きさに作られることに鑑み、搭載する半導体チップの個数が制限されるといった不利がある。

また、図 1 (b) に示すように半導体チップ 2, 2 a を積み重ねて搭載する場合でも、ワイヤボンディング接続のための領域を必要とする分だけ、下側チップ 2 a よりも上側チップ 2 の方を小さくする必要があり、そのために上側チップ 2 の搭載面積が狭くなり、チップを積み重ねる個数にも自ずと限界がある。

## 【 0 0 0 5 】

この場合、フリップチップ接続を利用すると、上述したようなボンディングのための領域を設ける必要がないため、ワイヤボンディング接続の場合に比べてチップの搭載数を増やすことが可能であるが、別の不都合が生じる。

一般的に、フリップチップ実装では、半導体チップの電極パッドにはんだ等の

金属のバンプ（電極端子）を形成し、このバンプをプリント基板等の実装基板の対応する電極パッド上に熱的に押し付けて接続する。これを図 1（b）に示すようなチップの積層形態に当てはめると、下側チップ 2 a に対し上側チップ 2 がフリップチップ接続されることになる。この場合、上側チップ 2 の電極端子であるバンプの位置に対応するように下側チップ 2 a の上面に電極パッドを形成する必要がある、また、チップを積み重ねる際に上側チップのバンプと下側チップの電極パッドとの位置合わせを行わなければならない、プロセスが全体的に複雑化するという不利がある。

#### 【0006】

このように単一のパッケージに複数の半導体チップを実装する場合、図 1 に示したように単に基板 1 の搭載面に半導体チップ 2，2 a を搭載する方法では、搭載する半導体チップの個数が限定され、必ずしも十分な高集積化及び高機能化を図ることができない。

そこで、さらに高集積化及び高機能化を図る方法として、基板を多層化し基板内に半導体素子を内蔵する形式の半導体装置が考えられている。例えば、複数の配線層を備えた多層基板の構造を利用すれば、半導体チップを相互に電氣的に接続して基板内で 3 次元的に配置することは可能である。しかしながら、基板内に半導体チップを埋設し、且つ配線層を多層に形成することは必ずしも容易ではなく、また、昨今のパッケージに対する小型化及び軽量化の要求を考慮すると、全体の厚さを薄くして半導体装置をコンパクトに形成しなければならないといった課題もある。

#### 【0007】

本発明は、かかる従来技術における課題に鑑み創作されたもので、単一のパッケージに複数の半導体素子（チップ）を実装するに際し、確実に且つコンパクトに構成可能とし、より効果的に高集積化及び高機能化を図ることができる半導体装置及びその製造方法を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

上述した従来技術の課題を解決するため、本発明では、半導体パッケージの分

野において近年実用化が進んでいるビルドアップ法等の多層配線技術を有効に利用している。

例えば、ビルドアップ法を用いた多層配線基板は、一般的に、絶縁層の形成プロセス、絶縁層におけるビアホール形成プロセス、及び、ビアホールの内部を含めた導体層（配線パターン）の形成プロセスを順次繰り返して積み上げていくものである。このようなビルドアップ法によって得られる多層配線基板を利用すれば、集積度等が進展した半導体素子（チップ）を各ビルドアップ層に埋設・実装し、相互に電氣的に接続することが可能である。

#### 【 0 0 0 9 】

従って、本発明の一形態によれば、配線パターンが形成された導体層が絶縁層を介して多層に形成され、前記配線パターン間が前記絶縁層を貫通するビアホールを介して電氣的に接続されている多層配線基板と、該多層配線基板の各絶縁層内に埋設されて実装されている半導体素子とを備え、各半導体素子が、当該絶縁層によって覆われた配線パターンに電氣的に接続されていると共に、前記多層配線基板の面方向と直交する方向に積み重なるように配置されていることを特徴とする半導体装置が提供される。

#### 【 0 0 1 0 】

また、本発明の他の形態によれば、絶縁性のベース基板の一方の面に配線パターンを形成する第1の工程と、前記配線パターンに所要の個数の半導体素子を実装する第2の工程と、前記半導体素子を覆うようにして前記ベース基板及び前記配線パターン上に絶縁層を形成する第3の工程と、前記絶縁層に前記ベース基板上の前記配線パターンに達するようにビアホールを形成する第4の工程と、前記絶縁層上に前記ビアホールの内壁を含めて配線パターンが形成された導体層を形成する第5の工程と、前記第2～第5の工程と同様の工程を必要な配線パターンの層数となるまで繰り返し、最終的に最上層の絶縁層を形成する第6の工程と、前記ベース基板の他方の面に、前記ベース基板を貫通して前記ベース基板上の配線パターンと電氣的に接続する外部接続端子を形成する第7の工程とを含むことを特徴とする半導体装置の製造方法が提供される。

#### 【 0 0 1 1 】



## 【発明の実施の形態】

図 2 は本発明の一実施形態に係る半導体装置の断面的な構造を模式的に示したものである。

本実施形態に係る半導体装置 1 0 は、半導体パッケージとして供される多層配線基板 2 0 と、このパッケージ（多層配線基板）2 0 内に埋設・実装された複数個（図示の例では 3 個）の半導体チップ 3 0 とによって構成されている。本実施形態では、特定の、パッケージ 2 0 内に各半導体チップ 3 0 を積み重ねて樹脂で封止した構造のチップ・サイズ・パッケージ（C S P）の例を示している。かかる構造のパッケージを、以下「スタックド C S P」という。

## 【0 0 1 2】

多層配線基板 2 0 において、2 1 は配線基板のベースとなる絶縁性の基材（ベース基板）、2 2 はベース基板 2 1 の上に所要形状にパターニングされて形成された導体層（第 1 層の配線パターン）、2 3 はベース基板 2 1 及び配線パターン 2 2 を覆うように形成された絶縁層（第 1 のビルドアップ層）、V H 1 は絶縁層 2 3 の特定の位置において配線パターン 2 2 に達するように形成されたビアホール、2 4 はビアホール V H 1 の内壁を含めて絶縁層 2 3 の上に所要形状にパターニングされて形成された導体層（第 2 層の配線パターン）、2 5 は絶縁層 2 3 及び配線パターン 2 4 を覆うように形成された絶縁層（第 2 のビルドアップ層）、V H 2 は絶縁層 2 5 の特定の位置において配線パターン 2 4 に達するように形成されたビアホール、2 6 はビアホール V H 2 の内壁を含めて絶縁層 2 5 の上に所要形状にパターニングされて形成された導体層（第 3 層の配線パターン）、2 7 は絶縁層 2 5 及び配線パターン 2 6 を覆うように形成された絶縁層（第 3 のビルドアップ層）を示す。この最上層の絶縁層 2 7 は、本装置 1 0 の保護膜としての役割も果たす。また、2 8 は本装置 1 0 の外部接続端子として機能するはんだバンプを示し、図示のようにベース基板 2 1 を貫通して第 1 層の配線パターン 2 2 に接続され、且つベース基板 2 1 の下面側にボール状に突出している。

## 【0 0 1 3】

一方、半導体チップ 3 0 はパッケージ（多層配線基板）2 0 内で積層して配置するため、厚さが可及的に薄いものを使用するのが望ましい。現状の技術では、

半導体チップとして $50\mu\text{m}\sim 100\mu\text{m}$ 程度の厚さのものが提供されており、この程度の厚さの半導体チップであれば基板内に埋設・実装することは技術的に十分に可能である。本実施形態では、半導体チップ30として厚さが $50\mu\text{m}$ 程度の薄いものを使用している。

## 【0014】

本実施形態に係る半導体装置（スタックドCSP）10は、各半導体チップ30が、それぞれ対応する絶縁層23, 25, 27によって覆われる配線パターン22, 24, 26に電氣的に接続されると共に、パッケージ20の面方向と直交する方向に断面的に見たときに積み重ねられた形態で配置され、特定的にはパッケージ20を平面的に見たときに互いに重複するような形態で配置されていることを特徴とするものである。

## 【0015】

以下、本実施形態の半導体装置（スタックドCSP）10を製造する方法について、その製造工程を順に示す図3及び図4を参照しながら説明する。

先ず最初の工程では（図3（a）参照）、絶縁性のベース基板21の上に第1層の配線パターン（導体層）22を形成する。ベース基板21の材料としては、例えばガラスーエポキシ樹脂、ガラスBT樹脂等が用いられ、導体層22の材料としては、典型的に銅（Cu）が用いられる。

## 【0016】

第1層の配線パターン22は、例えば以下のように形成される。先ず、ベース基板21の表面（片側）を覆うように、Cuの無電解めっきにより薄膜状Cu層を形成する。更に、この薄膜状Cu層の上に感光性のレジスト（図示せず）を塗布し、第1層の配線パターン22の形状に従うように露光及び現像（レジストのパターニング）を行う。次に、このレジストパターンをめっき用のマスクとし、薄膜状Cu層をめっき給電層としてCuの電解めっきを施し、厚めの導体層を形成する。この後、レジストパターンを除去し、薄膜状Cu層の露出部分をエッチングにより除去して、図示のようにパターニングされた導体層（第1層の配線パターン22）を形成する。

## 【0017】

次の工程では（図3（b）参照）、ベース基板21上に形成された配線パターン22の上に、所要の個数の半導体チップ30をフリップチップ接続により実装する。このフリップチップ実装は、半導体チップ30の電極パッドに接着されたバンプ（電極端子）を配線パターン22上の対応する部分に熱的に押し付けて接続することで、行われる。

#### 【0018】

次の工程では（図3（c）参照）、半導体チップ30を覆うようにしてベース基板21及び配線パターン22の上に絶縁層（第1のビルドアップ層）23を形成する。絶縁層23の材料としては、例えばエポキシ樹脂、フェノール樹脂、ポリイミド樹脂等の熱硬化性樹脂が用いられる。あるいは、感光性エポキシ樹脂や感光性ポリイミド樹脂等の感光性樹脂を用いてもよい。

#### 【0019】

次の工程では（図3（d）参照）、絶縁層23の特定の位置において配線パターン22に達するように、CO<sub>2</sub> レーザやエキシマレーザ等による穴明け処理によりビアホールVH1を形成する（レーザビア・プロセス）。

なお、絶縁層23の材料として感光性エポキシ樹脂等の感光性樹脂を用いた場合には、ビアホールVH1は、通常のフォトリソグラフィ技術を用いて形成することができる（フォトビア・プロセス）。この場合、レーザ等を用いてもビアホールVH1を形成できることはもちろんである。

#### 【0020】

この後、必要に応じて、穴明け処理により樹脂片や汚れ等が生じた場合にこれを除去するための処理（デバリング、デスミア等）を行う。

次の工程では（図3（e）参照）、図3（a）の工程と同様にして、ビアホールVH1の内壁を含めて絶縁層23の上に第2層の配線パターン（導体層）24を形成する。

#### 【0021】

すなわち、ビアホールVH1の内壁を含めて絶縁層23の上に、Cuの無電解めっきにより薄膜状Cu層を形成し、更にこの薄膜状Cu層の上に感光性のレジストを塗布し、第2層の配線パターン24の形状に従うように露光及び現像（レ

ジストのパターニング)を行う。次に、このレジストパターンをめっき用のマスクとし、薄膜状Cu層をめっき給電層としてCuの電解めっきを施し、厚めの導体層を形成する。この後、レジストパターンを除去し、薄膜状Cu層の露出部分をエッチングにより除去して、図示のようにパターン化された導体層(第2層の配線パターン24)を形成する。

#### 【0022】

この際、ビアホールVH1ではその内壁に導体層が被着して形成され、この導体層は、第1層の配線パターン22と第2層の配線パターン24とを電氣的に接続する層間接続部として機能する。

次の工程では(図4(a)参照)、図3(b)の工程と同様にして、絶縁層23上に形成された配線パターン24の上に、所要の個数の半導体チップ30をフリップチップ接続により実装する。この場合、図示のように、第2層の配線パターン24上に実装される半導体チップ30は、第1層の配線パターン22上に実装された半導体チップ30に対し、断面的に見たときに積み重ねられた形態で、また平面的に見たときに互いに重複するような形態で配置される。

#### 【0023】

次の工程では(図4(b)参照)、上述した図3(c)～図4(a)の工程と同様の工程を必要な配線の層数(図示の例では3層)となるまで繰り返し、最終的に、保護膜としての機能を有する最上層の絶縁層27を形成する。

最後の工程では(図4(c)参照)、ベース基板21の下面側に外部接続端子としてのバンプ28を形成し、個々のスタックドCSP10に分割する。

#### 【0024】

バンプ28は、以下のように形成される。まず、第1層の配線パターン(導体層)22の端子形成部分の位置に対応する部分のベース基板21に、エキシマレーザー等による穴明け処理によりスルーホールを形成する。これによって、スルーホール的一端側は配線パターン22により閉塞され、他端側はベース基板21の下面側に開口する。次に、スルーホール内にはんだボールを配置し、リフローにより接着する。これによって、はんだボールがスルーホール内を満たして配線パターン22に電氣的に接続され、ベース基板21の下面側にボール状に突出した

パンプ（外部接続端子）28が形成される。

【0025】

なお、特に図示はしていないが、スルーホール内にはんだボールを配置する前に、はんだの濡れ性を向上させるために、スルーホールの内壁にCuめっき等による導体皮膜を形成するようにすると好適である。

この後、ダイサー等により、破線で示すように分割線C-C'に沿って各CSP毎に分割する。つまり、各絶縁層23, 25, 27内にそれぞれ1個の半導体チップ30が含まれるように分割する。これによって、本実施形態のスタックドCSP（半導体装置）10が作製されたことになる。

【0026】

以上説明したように、本実施形態に係る半導体装置10及びその製造方法によれば、半導体パッケージの分野において近年実用化が進んでいるビルドアップ法を有効に利用し、このビルドアップ法により絶縁層、ビアホール、ビアホールの内部を含めた導体層（配線パターン）の形成を順次繰り返して各層を積み重ねるプロセスの途中の段階で、厚さが50 $\mu$ m程度の薄い半導体チップ30を各ビルドアップ層に埋設・実装するようにしている。

【0027】

従って、単一のパッケージ（多層配線基板）20内に複数個の半導体チップ30を確実に実装することができ、また、厚さが薄い半導体チップ30を用いることにより、半導体装置10をコンパクトに構成することが可能となる。これによって、従来技術に係る半導体装置に比べて、より効果的に高集積化及び高機能化を図ることができる。

【0028】

また、本実施形態の半導体装置10の構成によれば、各半導体チップ30は、多層配線基板20を平面的に見たときに互いに重複するような形態で配置されているので、半導体装置10の平面方向での集積度を効果的に向上させることが可能となる。

上述した実施形態では半導体装置の形態としてスタックドCSPの場合を例にとって説明したが、半導体装置の形態はこれに限定されないことはもちろんであ

る。例えば、図 4 (c) の工程において、上述した実施形態では個々のスタックド CSP 10 を得るために各 CSP 毎に分割しているが、かかる分割形態に代えて、必要とする複数個の CSP 単位毎に分割してもよい。すなわち、各絶縁層 23, 25, 27 内にそれぞれ 2 個以上の半導体チップ 30 が含まれるように分割することも可能である。このような分割形態とすることで、半導体装置をスタックド MCM (マルチ・チップ・モジュール) の形態とすることができ、半導体装置としての更なる高機能化を図ることが可能となる。

#### 【 0 0 2 9 】

また、上述した実施形態では各半導体チップ 30 と配線パターン 22, 24, 26 とを電氣的に接続する手段としてフリップチップ接続を用いているが、これに代えて、例えば異方性導電膜 (ACF) を用いることも可能である。このような ACF を用いた場合には、半導体チップの電極端子としてバンプを使用するフリップチップ接続に比べて、半導体チップ 30 を覆うように形成されるべき絶縁層 23, 25, 27 の厚さを相対的に薄くできるので、半導体装置をより一層薄く、コンパクトに構成することが可能となる。

#### 【 0 0 3 0 】

また、上述した実施形態では配線パターンの形成に際して薄膜状 Cu 層 (めっき給電層) を形成するための成膜方法として無電解めっきを用いているが、成膜方法はこれに限定されないことはもちろんである。例えば、スパッタリングや蒸着等を用いることも可能である。

また、上述した実施形態では上層側の配線パターンと下層側の配線パターンとを電氣的に接続する手段 (層間接続部) がビアホール VH1, VH2 の内壁面に形成された導体層によって構成されているが、かかる構成に代えて、ビアホール内に Cu 等の導電材を充填して形成した中実体、すなわち「埋め込みビア」の構造としてもよい。

#### 【 0 0 3 1 】

さらに、上述した実施形態ではベース基板 21 にガラスーエポキシ樹脂、ガラス BT 樹脂等を用いているが、これに代えて、ポリイミド樹脂等からなるフィルムを用いてもよい。この場合、例えばポリイミド樹脂フィルムの表面にポリイミ

ド系の熱可塑性接着剤を塗布し、その上に銅（Cu）箔を熱プレス接着した後、フォトエッチング等を行うことで、ベース基板 2 1 と配線パターン 2 2 に相当するものを作製することができる。

【 0 0 3 2 】

【発明の効果】

以上説明したように本発明によれば、単一のパッケージに複数の半導体素子を実装するに際し、確実に且つコンパクトに構成することができ、これによって、より効果的に高集積化及び高機能化を図ることが可能となる。

【図面の簡単な説明】

【図 1】

従来技術に係る半導体装置の問題点を説明するための図である。

【図 2】

本発明の一実施形態に係る半導体装置の構造を模式的に示す断面図である。

【図 3】

図 2 の半導体装置の製造工程を示す断面図である。

【図 4】

図 3 の製造工程に続く製造工程を示す断面図である。

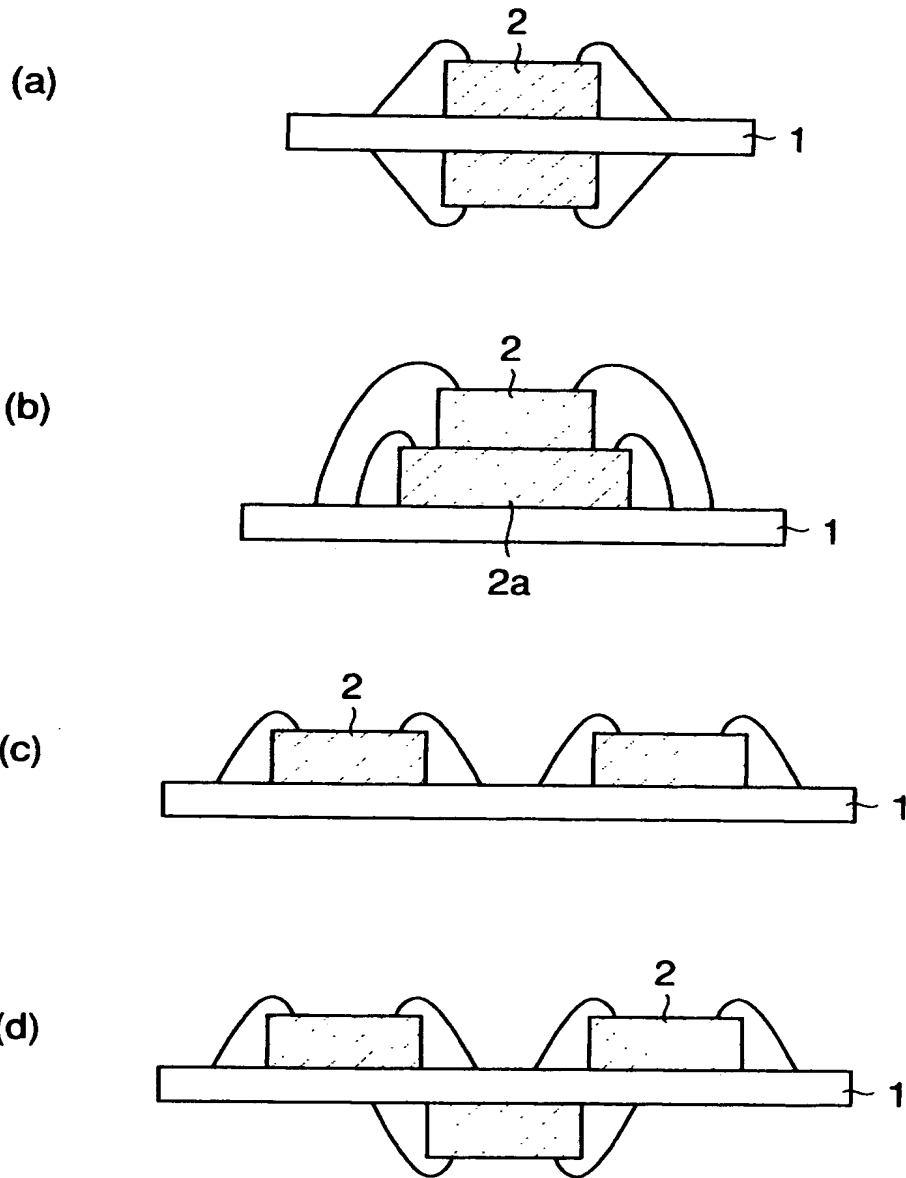
【符号の説明】

- 1 0 …半導体装置（スタックド CSP）
- 2 0 …多層配線基板（半導体パッケージ）
- 2 1 …ベース基板
- 2 2, 2 4, 2 6 …導体層（配線パターン）
- 2 3, 2 5, 2 7 …絶縁層（ビルドアップ層）
- 2 8 …外部接続端子（バンプ）
- 3 0 …半導体素子（チップ）
- VH 1, VH 2 …ビアホール

【書類名】

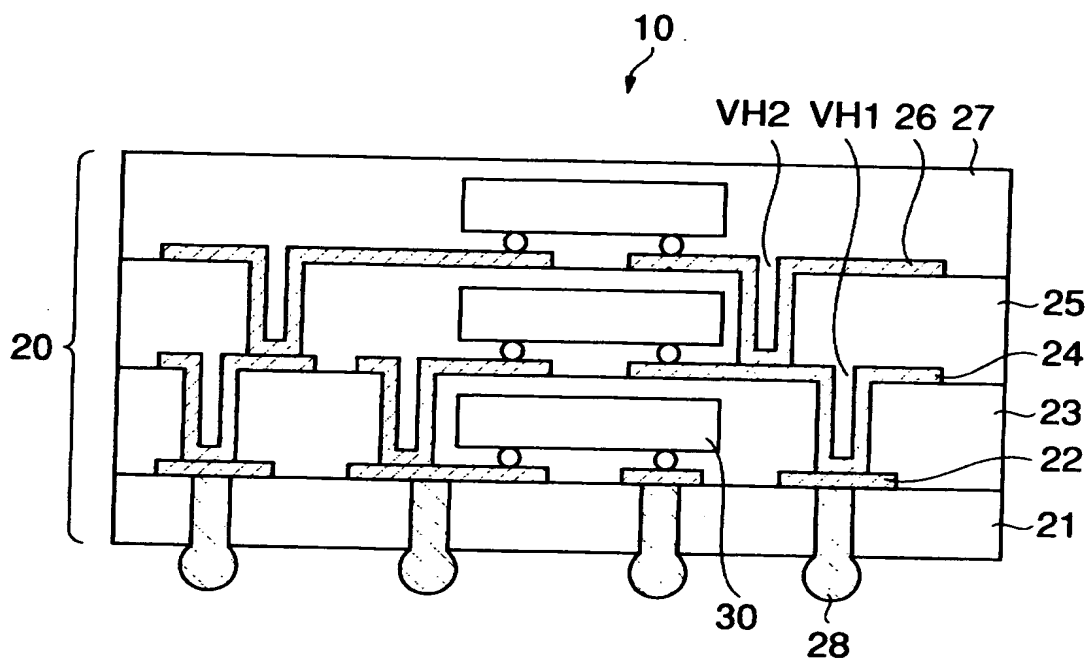
図面

【図 1】

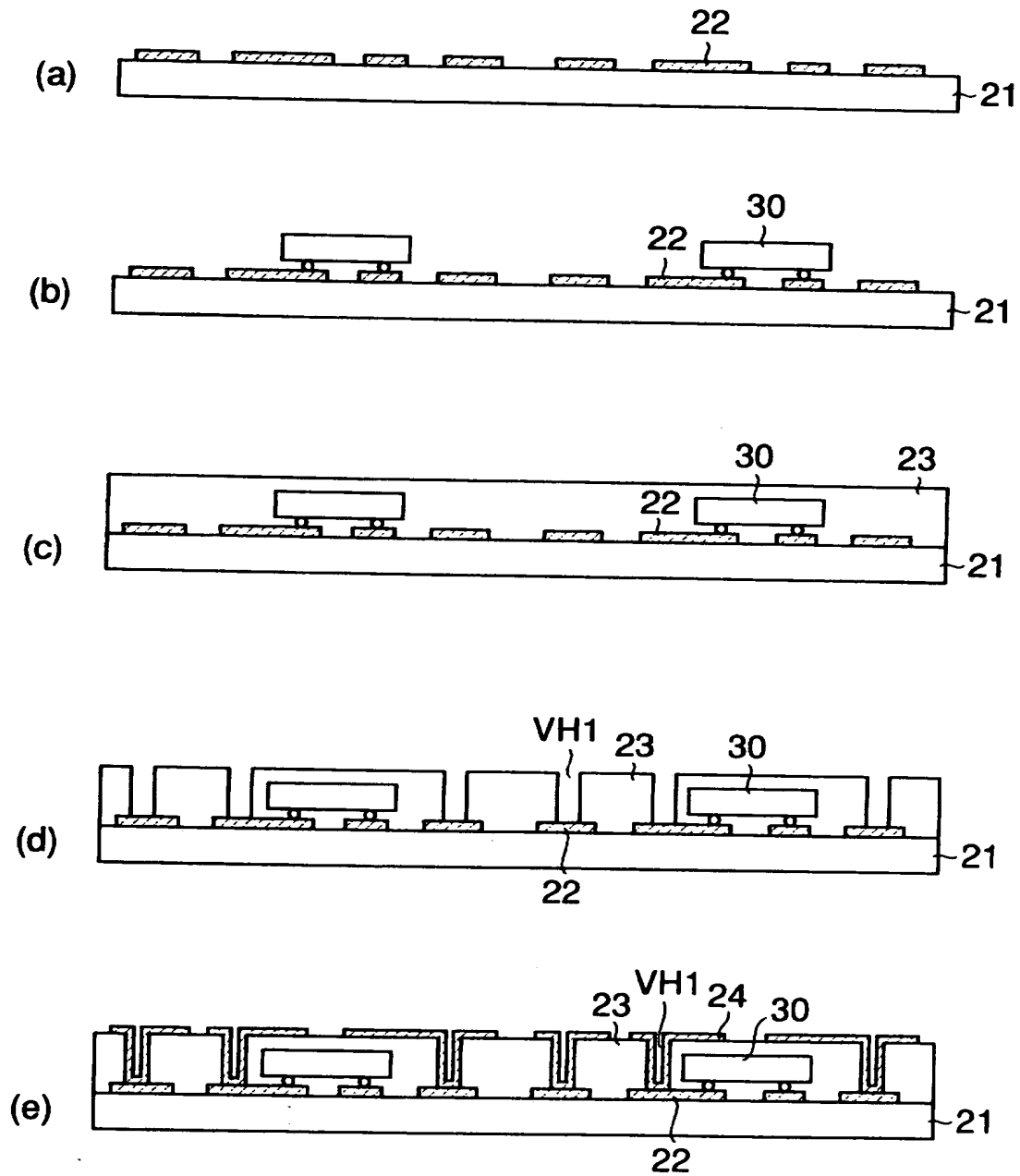




【図 2】



【図 3】





【書類名】                      要約書

【要約】

【課題】    半導体装置において、単一のパッケージに複数の半導体素子を実装するに際し、確実に且つコンパクトに構成可能とし、より効果的に高集積化及び高機能化を図ることを目的とする。

【解決手段】    配線パターン（導体層）22，24，26と絶縁層23，25，27を交互に多層に形成し、各配線パターン間がビアホールVH1，VH2を介して電氣的に接続されている多層配線基板20において、各絶縁層23，25，27内に半導体素子30を埋設・実装し、各半導体素子30を、当該絶縁層によって覆われた配線パターンに電氣的に接続すると共に、多層配線基板20の面方向と直交する方向に積み重なるように配置する。

【選択図】    図2

出 願 人 履 歴 情 報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 長野県長野市大字栗田字舍利田711番地  
氏 名 新光電気工業株式会社